

SOLID-STATE IMAGE PICKUP DEVICE AND ITS CONTROL METHOD

Patent Number: JP5207376
Publication date: 1993-08-13
Inventor(s): UNO MASAYUKI; others: 01
Applicant(s): OLYMPUS OPTICAL CO LTD
Requested Patent: ☐ JP5207376
Application Number: JP19920036924 19920129
Priority Number(s):
IPC Classification: H04N5/335; H04N1/028
EC Classification:
Equivalents: JP2977060B2

Abstract

PURPOSE: To provide the solid-state image pickup device which is operated to avoid the saturation in a controllable integration time range in the case of a bright object and realizes the operation in a short integration time in the case of a dark object.

CONSTITUTION: The solid-state image pickup device is provided which has an amplification type solid-state image pickup element as a unit picture element, and this amplification type solid-state image pickup element consists of a photo diode part 1, a capacitive element 3 where photoelectric charge is stored, an n-type MOS transistor TR 2 which outputs a signal corresponding to the photoelectric charge stored in the capacitive element 3, and an n-type MOS TR 4 for reset which refreshes the photoelectric charge stored in the capacitive element 3. A polysilicon gate 1e is formed on a photo diode part 1, and this part 1 is divided into two areas 1-1 and 1-2, and the effective light reception area is switched by a switching element formed by the polysilicon gate 1e.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-207376

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.⁵H 0 4 N 5/335
1/028

// H 0 1 L 27/146

識別記号

E 4228-5C
A 9070-5C7210-4M
8422-4M

F I

H 0 1 L 27/ 14
31/ 10

技術表示箇所

A
G

審査請求 未請求 請求項の数4(全 9 頁) 最終頁に続く

(21)出願番号 特願平4-36924

(22)出願日 平成4年(1992)1月29日

(71)出願人 000000376

オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 宇野 正幸

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

(72)発明者 中村 淳一

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

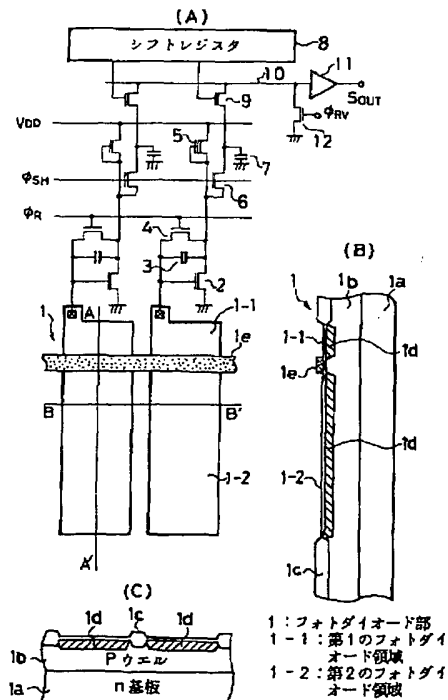
(74)代理人 弁理士 最上 健治

(54)【発明の名称】 固体撮像装置及びその制御方法

(57)【要約】

【目的】 明るい被写体に対しては制御可能な積分時間範囲内で飽和しないように動作でき、暗い被写体に対しては短い積分時間での動作が実現できるようにした固体撮像装置を提供する。

【構成】 フォトダイオード部1と、光電荷を蓄積する容量素子3と、容量素子3に蓄積された光電荷に対応した信号を出力するn型MOSトランジスタ2と、容量素子3に蓄積された光電荷をリフレッシュするためのリセット用n型MOSトランジスタ4とで構成した増幅型固体撮像素子を単位画素とした固体撮像装置において、ポリシリコンゲート1eをフォトダイオード部1上に形成し、これによりフォトダイオード部1を領域1-1と1-2の2つの領域に分割し、ポリシリコンゲート1eで形成されるスイッチング素子により有効受光面積を切り換える。



【特許請求の範囲】

【請求項1】 p n整合型のフォトダイオード部と、該フォトダイオード部に入射した光により発生した光電荷を蓄積するフォトダイオード部以外の容量素子と、該容量素子に蓄積された電荷を破壊せずに該電荷に対応した信号を出力する増幅部と、前記容量素子に蓄積された電荷をリフレッシュするためのスイッチング素子とで構成した増幅型固体撮像素子を単位画素とした固体撮像装置において、前記フォトダイオード部の領域を複数の領域に分割し、該領域に設けたスイッチング素子により前記単位画素の容量素子に蓄積する光電荷を与える受光面積を変えて画素部の感度を切り換えられるように構成したことを特徴とする固体撮像装置。

【請求項2】 前記単位画素の増幅部の信号出力レベルを検出するモニター手段と、該モニター手段のモニター信号と基準信号とに基づき、前記感度切り換え用スイッチング素子の制御を行う制御手段とを同一チップ上に備えていることを特徴とする請求項1記載の固体撮像装置。

【請求項3】 前記請求項2記載の固体撮像装置の制御方法において、前記単位画素の容量素子のリセット動作時は感度切り換え用スイッチング素子をONして高感度設定でリフレッシュ動作を行い、積分開始後に感度切り換え用スイッチング素子をOFFして低感度設定とし、一定時間積分したときモニター手段のモニター信号レベルと基準信号レベルを比較して基準信号レベルよりモニター信号レベルが高いときはそのまま積分を続行し、モニター信号レベルが低いときは感度切り換え用スイッチング素子をON状態に切り換え高感度設定とし、リフレッシュ動作を行わずに積分動作を続行することを特徴とする固体撮像装置の制御方法。

【請求項4】 前記請求項2記載の固体撮像装置において、初期リセット動作時及びそれに続く積分時は感度切り換え用スイッチング素子をONして高感度設定で動作を行い、一定積分時間経過後モニター信号レベルと基準信号レベルを比較して、基準信号レベルよりモニター信号レベルが低いときはそのまま積分を続行し、モニター信号レベルが高いときは第2のリセット動作を行い低感度設定とした後、再び積分動作を行うことを特徴とする固体撮像装置の制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、カメラの自動焦点制御装置（AF=Auto Focus）の受光素子等として用いられる増幅型固体撮像装置に関する。

【0002】

【従来の技術】従来、カメラのAF等に用いられる固体撮像素子には、CCDの他に、SIT、AMI、BASIS等の増幅型固体撮像素子が知られている。増幅型固体撮像素子はCCDと比較すると非破壊読み出し等の利

点を有するが、AF用ラインセンサ等に用いられるような比較的大きな画素寸法をもつものにおいては、その増幅型固体撮像素子を構成するフォトダイオード自体の寄生容量により、感度が大きくできないという問題を含んでいるため、フォトダイオード容量に感度が依存しないような信号読み出し方式が必要である。

【0003】次に、図9に示すAMIに基づいて、この点について説明する。図9は、通常のAMIの1画素の構成を示す回路構成図で、101はフォトダイオード、Q1は増幅用トランジスタ、Q2、Q3はバイアス用トランジスタ、Q4はリセット用トランジスタ、102はバイアス回路、103はシフトレジスタからの出力パルスで駆動されるスイッチング用トランジスタである。このように構成されたAMIにおいて、光電変換による信号出力電圧 ΔV_{OUT} は、次式（1）で与えられる。

$$\Delta V_{OUT} = I_p \cdot t / C_d \quad \cdots (1)$$

【0004】ここで、 I_p は光電流、 t は積分時間、 C_d はフォトダイオード101の接合容量である。この

（1）式からわかるように、積分時間一定のもとで信号出力電圧 ΔV_{OUT} を上げるには、 I_p を大きくするか C_d を小さくしなければならない。しかし、 I_p を大きくするには画素面積を大きくしなければならず、画素面積が大きくなると C_d も大きくなる。また C_d を小さくするためには画素面積を小さくしなければならず、画素面積を小さくすると I_p は小さくなる。このため従来のAMIの構成のままでは感度の向上を計ることができない。

【0005】この問題点を解決するため、図10に示すような構成が、「A New MOS Imager Using Photodiode as Current Source」（IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 26, NO. 8, Aug., 1991）において報告されている。この構成は、転送ゲート用トランジスタQ5、Q6を追加し、フォトダイオード101と増幅用トランジスタQ1との間に蓄積容量 C_t を接続したものである。このように構成された固体撮像素子においては、積分期間中トランジスタQ5をData信号により飽和領域で動作するようにONさせて、フォトダイオード101に印加される電圧が、トランジスタQ5のゲート電圧からゲート・ソース間電圧 V_{GS} 下がった電圧に固定されるようにすることによって、フォトダイオード101で発生する光電荷がトランジスタQ5を介して増幅用トランジスタQ1のゲートに接続されている蓄積容量 C_t に蓄積される。したがってフォトダイオード101の接合容量 C_d の影響が遮断され、光電変換による信号出力電圧 ΔV_{OUT} は次式（2）で決まる。

$$\Delta V_{OUT} = I_p \cdot t / C_t \quad \cdots (2)$$

【0006】この（2）式からわかるように、蓄積容量 C_t を小さくすることにより、信号出力電圧 ΔV_{OUT} を大きくすることができる。すなわちフォトダイオードの接合容量 C_d に依存せず、感度を決めることができる。



【0007】また、同様にフォトダイオード容量に影響されずに感度が設定でき、高感度化が計れる画素構成として、図11に示す構成のものが考えられている。図において、201はフォトダイオードであり、202はn型MOSトランジスタで、ソースを接地し、ドレインに負荷として動作するデプレッション型のn型MOSトランジスタ205を接続することにより、ソース接地型の増幅回路を構成している。そしてこのソース接地型増幅回路の入力端子、すなわちn型MOSトランジスタ202のゲートにフォトダイオード201を接続し、ソース接地型増幅回路の出力端子、すなわちn型MOSトランジスタ202のドレインから入力端子（n型MOSトランジスタ202のゲート）に容量素子203を接続して帰還をかけると共に、n型MOSトランジスタ202のゲートの初期電位を設定するためのリセット用n型MOSトランジスタ204

$$V_{OUT} = V_{GS} + I_p \cdot t / \{ (1 + 1/G) C_t + 1/G \cdot C_d \}$$

..... (3)

【0009】ここで、 V_{GS} はリセット時のn型MOSトランジスタ202のゲート・ソース間電圧で、これはリセット時のドレイン電圧でもある。 G はソース接地型増幅回路のゲイン、 C_t は容量素子203の容量値、 C_d はフォトダイオード1の接合容量値、 I_p 、 t はそれぞれ前出と同様に、光電流と積分時間である。

【0010】上記(3)式からわかるように、光電変換による出力信号の増加分は、ソース接地型増幅回路のゲイン G を上げることにより、フォトダイオード201の接合容量 C_d による影響を抑えることができる。これにより、帰還容量素子203の容量値 C_t を下げることで、出力電圧 V_{OUT} を大きく、すなわち感度を高くすることができる。

【0011】

【発明が解決しようとする課題】上記図10あるいは図11に示した従来の固体撮像素子あるいは従来考えられている固体撮像素子においては、蓄積容量あるいは帰還容量 C_t を小さくすることにより感度を上げることができる。しかしながら、この感度設定においては、次の点を考慮しなければならない。すなわち、自動焦点制御を行う被写体の明るさの範囲は、EV値でEV0～EV18程度と 2.6×10^5 ($= 2^{18}$)に及ぶダイナミックレンジをカバーしなければならない。

【0012】この広範囲な明るさの被写体のAF制御において、最適な出力を得るため、積分時間の制御とゲインコントロールアンプを併用しているのが一般的である。例えば、10倍のゲインコントロールアンプを用いる場合、積分時間を $10 \mu\text{sec}$ から260 msecまでの範囲で制御することにより、 2.6×10^5 のダイナミックレンジをカバーできる。したがって、 C_t の値としては、EV0の被写体を、積分時間260 msec、ゲイン10倍で所定の出力となるように設定すればよい。

【0013】ところで、EV0の被写体に対する積分時

間を容量素子203と並列に接続する。この構成のものを基本セル（画素）とし、この基本セルを1次元又は2次的に配列したときに、読み出し画素を選択するための、シフトレジスタパルスで駆動されるスイッチング素子206を設け、該スイッチング素子206をONしたときに、信号出力線207にn型MOSトランジスタ202のドレイン電圧が現れるように構成している。

【0008】次にこのように構成した固体撮像素子の動作について説明する。まず積分開始前にリセットパルス ϕ_R でn型MOSトランジスタ204をONとしてリセット動作を行い、n型MOSトランジスタ204をOFFとした時点から積分が開始される。その後、一定積分時間が経過した時点で、スイッチング素子206をON状態にして、信号出力線207から次式(3)で与えられる信号出力 V_{OUT} を得る。

間を短くしたい場合、すなわち上述の C_t よりも更に C_t の値を小さくし、感度を上げたい場合、次のような問題が生ずる。感度を高くして積分時間を短くする場合、例えば上述の $1/3$ に積分時間を設定する場合、最小積分時間を $3.3 \mu\text{sec}$ としてなければならない。そのためには制御を行うためのパルスのパルス幅を非常に小さくするだけでなく、制御系の応答速度も上げなければならないが、実際には、そのような短い積分時間制御は消費電力等の問題があり、困難である。

【0014】また感度を高くする他の方法として、 C_t の値は上述と同じとして、アンプ・ゲインを例えば30倍とする方法が考えられるが、この方法では雑音も増幅してしまうため、出力は所定レベルとなってもS/Nは改善されないという問題を含んでいる。

【0015】本発明は、従来の固体撮像装置あるいは従来考えられている固体撮像装置における上記問題点を解消するためになされたもので、感度を決定する容量 C_t を小さくして感度を大きくした場合においても、明るい被写体に対し制御可能な積分時間範囲内で飽和しないように動作でき、且つ暗い被写体に対しては短い積分時間での動作が実現できる固体撮像装置を提供することを目的とする。

【0016】

【課題を解決するための手段及び作用】上記問題点を解決するため、本発明は、pn整合型のフォトダイオード部と、該フォトダイオード部に入射した光により発生した光電荷を蓄積するフォトダイオード部以外の容量素子と、該容量素子に蓄積された電荷を破壊せずに該電荷に対応した信号を出力する増幅部と、前記容量素子に蓄積された電荷をリフレッシュするためのスイッチング素子とで構成した増幅型固体撮像素子を単位画素とした固体撮像装置において、前記フォトダイオード部の領域を複数の領域に分割し、該領域に設けたスイッチング素子に



より前記単位画素の容量素子に蓄積する光電荷を与える受光面積を変えて画素部の感度を切り換えられるように構成するものである。

【0017】このように構成した固体撮像装置においては、スイッチング素子のON/OFFにより画素部の感度が切り換えられるので、感度を決定する容量素子の容量値を小さくして感度を大きくしても、明るい被写体に対しては受光面積を小さくして感度を低くし制御可能な積分時間範囲内で飽和しないように動作でき、暗い被写体に対しては受光面積を大きくして感度を高くし短い積分時間での動作が実現でき、広いダイナミックレンジを確保することが可能となる。

【0018】

【実施例】次に実施例について説明する。本発明を図11に示した増幅型固体撮像素子を用いたラインセンサに適用した実施例を図1に示す。図1の(A)は画素をライン状に配列したラインセンサの回路構成図を示し、図1の(B)はそのフォトダイオード部のA-A'線に沿った断面図、図1の(C)は同じくB-B'線に沿った断面図を示しており、そしてこのフォトダイオード部を等価回路に書き直した1画素当たりの回路構成を図2に示す。

【0019】図1において、2はn型MOSトランジスタで、ソースを接地し、ドレインに負荷として動作するデプレッション型のn型MOSトランジスタ5を接続することにより、ソース接地型の増幅回路を構成している。そしてこのソース接地型増幅回路の入力端子、すなわちn型MOSトランジスタ2のゲートにフォトダイオード部1を接続し、ソース接地型増幅回路の出力端子、すなわちn型MOSトランジスタ2のドレインから入力端子(n型MOSトランジスタ2のゲート)に容量素子3を接続して帰還をかけると共に、n型MOSトランジスタ2のゲートの初期電位を設定するためのリセット用n型MOSトランジスタ4を容量素子3と並列に接続して基本セルを構成している。そして、この基本セルに、出力電圧をサンプルホールドするためのスイッチング素子6と容量素子7を設け、該容量素子7に蓄積した電荷を、シフトレジスタ8を走査して読み出し用スイッチング素子として動作するn型MOSトランジスタ9を順次ONさせながら、信号出力線10よりバッファ11を介して信号出力 S_{out} として読み出すように構成されている。また1画素毎に信号出力を読み出すたびに、信号出力線10に残留する電荷を除去するため、信号線リセット用トランジスタ12を信号出力線10上に設けている。

【0020】フォトダイオード部1は、図1の(B)、(C)の断面図に示すように、n基板1a上にpウェル1bを形成した後、LOCOS酸化膜1cにより1画素毎のフォトダイオード部1が分離される構造をとり、その酸化膜1cの形成後、n型の不純物をドーピングしてn⁺拡散層1dを形成し、pn接合型のフォトダイオード部を形

成している。本実施例では、1画素のフォトダイオード部において、更に領域を2つに分離するため、ポリシリコンゲート1eをn型不純物をドーピングする前に、フォトダイオード部上に形成し、これによりフォトダイオード部1は、ポリシリコンゲート1eを境界として第1のフォトダイオード領域1-1と第2のフォトダイオード領域1-2の2つの領域に分離している。

【0021】このように構成したラインセンサにおいて、このフォトダイオード部1のポリシリコンゲート1eに印加されるパルスを ϕ_{gc} とすると、 ϕ_{gc} を“H”の状態ではポリシリコンゲート1eの直下には反転層が形成され、2つのフォトダイオード領域1-1と1-2は導通状態になる。したがって、この状態で積分動作を行うと、容量素子3に蓄積される電荷は、フォトダイオード部1の両方のフォトダイオード領域1-1、1-2に入射した光により発生した電荷であり、感度は高くなる。

【0022】これに対し、 ϕ_{gc} を“L”とした場合は、フォトダイオード部1の第1のフォトダイオード領域1-1と第2のフォトダイオード領域1-2は非導通状態となる。これにより積分動作を行った場合、容量素子3に蓄積される電荷は、フォトダイオード部1の第1の領域1-1に入射した光による電荷のみとなるため、 ϕ_{gc} を“H”の場合と比較すると、第2のフォトダイオード領域1-2で発生した電荷が蓄積されない分だけ感度が低下する。

【0023】したがってフォトダイオード部1の第1の領域1-1と第2の領域1-2の面積比を大きくとることに、感度比を大きくすることが可能であり、これにより広いダイナミックレンジに対応することができる。なお図2において、1e'はポリシリコンゲート1eにより形成されるMOSスイッチング素子を示しており、また1-1'及び1-2'は、第1の領域による第1分割フォトダイオード及び第2の領域による第2分割フォトダイオードを示している。

【0024】この実施例では、フォトダイオード部1を2分割して2段階の感度切り換えを行っているが、より細かな感度切り換えを行うために、3分割、4分割等と分割数を増やすことも、ポリシリコンゲートを2本、3本と増やすことにより実現可能である。

【0025】上記実施例では、フォトダイオード部をポリシリコンゲートによるMOSスイッチング素子で分割するようにした構成を示したが、次に1つのフォトダイオード部をLOCOS分離で分割した構成の実施例を図3に示す。図3の(A)はフォトダイオード部の平面図で、図3の(B)は図3の(A)のC-C'線に沿った断面図であり、読み出し回路部は図示を省略しているが図1に示した実施例と全く同一である。

【0026】この実施例では、フォトダイオード部21を、1つのフォトダイオード領域をLOCOS酸化膜21cで分離して、21-1と21-2の2つの領域に分割して構成して

いる。そして分割した各フォトダイオード領域21-1, 21-2を、n型MOSトランジスタ2のゲートにそれぞれ接続するためのスイッチング素子として、ポリシリコンゲート22-1, 22-2を分割フォトダイオード領域21-1, 21-2にそれぞれ設けて、n型MOSトランジスタを形成している。なお図3の(B)において、21aはn基板、21bはpウェル、21dはn⁺拡散層である。

【0027】この実施例における等価回路構成を図4に示す。この図4からわかるように、ポリシリコンゲート22-1, 22-2で形成されたn型MOSトランジスタ22-1', 22-2'に印加するパルス ϕ_{GC1} , ϕ_{GC2} により、容量素子3に蓄積されるフォトダイオード部21の分割フォトダイオード21-1', 21-2'を切り換えることができる。

【0028】このように、1つのフォトダイオード領域をLOCOS分離を用いても、フォトダイオード部の分割が可能である。またLOCOS分離と図1の実施例で示したポリシリコンゲートによる分離を併用することで、縦横自由にフォトダイオード領域を分割することができる。また上記各実施例では、n基板上にpウェルを形成し、その上にn⁺拡散層を形成して構成したフォトダイオードについて述べたが、MOSプロセスで製造されるフォトダイオードに対しても同様に適用することが可能である。

【0029】次に分割フォトダイオード部におけるポリシリコンゲートに印加するパルスを制御してフォトダイオード部の感度の切り換えを行う制御方法について説明する。感度切り換えを行うためには、被写体の明るさの情報が必要である。カメラ等では自動露光制御(AE=Auto Exposure)用の測光装置が搭載されているため、その情報をもとに感度切り換えを行うことが可能である。また感度切り換えセンサと同一チップ上に測光用のフォトダイオードを配置し、その情報をもとに感度切り換えを行うことも可能である。しかしながら、両者とも感度切り換えを行うセンサとは、測光する方向、範囲等が正確に一致しないので、正確な測光が行えない。そこで次に説明する実施例では、感度切り換えを行うセンサ自体の信号レベルを検出して切り換え制御を行う方式を示す。

【0030】図5に、各画素の出力電圧のピーク値を検出し、その検出値をもとに感度切り換えを行うように構成した実施例を示す。この実施例は、図1の(A)に示した実施例の構成に、各画素の出力電圧を検出するためのn型MOSトランジスタ31を各画素毎に追加し、その各ソースをソースライン32に共通に接続し、該ソースライン32に負荷として動作するデプレッション型のn型MOSトランジスタ33を接続する。これにより、ソースライン32のモニター電圧 V_M には画素全体のピーク出力に対応する電圧が現れる。これをコンパレータ34を用いて基準電圧 V_{ref} と比較し、コンパレータ34の出力 C_{OUT}

により制御系35を制御して、感度切り換え用の制御パルス ϕ_{GC} を出力するように構成されている。

【0031】次にこのように構成された感度切り換え制御装置の動作の一例を図6に示すタイミングチャートを参照しながら説明する。図6には、リセット用パルス ϕ_R , サンプルホールド用パルス ϕ_{SH} と、明るい被写体のときと暗い被写体のときにおけるモニター電圧 V_M , コンパレータ出力 C_{OUT} , 感度切り換え制御パルス ϕ_{GC} を示している。期間 T_0 はリセット動作を行う期間である。この期間では、 ϕ_R を“H”とすると共に、 ϕ_{GC} を“H”としてフォトダイオード部1の全領域1-1, 1-2が導通状態となるようにしておき、各画素のリセットを行う。

【0032】次に期間 T_1 において、 ϕ_R を“H”から“L”にすると同時に、 ϕ_{GC} を“L”にして、低い感度設定で積分動作を行う。一定期間積分動作を行った後、時刻 t_1 におけるコンパレータ出力 C_{OUT} により、被写体の明るさを判断する。被写体が明るい場合は、コンパレータ出力 C_{OUT} は“H”となり、逆に暗い場合は“L”となっている。したがって時刻 t_1 において、 C_{OUT} = “H”のときは、 ϕ_{GC} は“L”のまま低感度の状態で積分を継続し、一方、 C_{OUT} = “L”のときは、 ϕ_{GC} を“L”から“H”に切り換えて高感度の状態とし、積分を継続する(期間 T_2)。このとき ϕ_{GC} を“L”から“H”に切り換えると、それまでポリシリコンゲートで形成されているスイッチング素子1e'で絶縁されていた側の、フォトダイオード領域1-2で形成される第2の分割フォトダイオード1-2'に蓄積された光電荷が流れ込み、各画素の出力は急上昇する。したがって低感度状態と高感度状態の感度比をmとすると、基準電圧 V_{ref} は飽和出力の1/m以下となるように設定しておく必要がある。また時刻 t_1 については、最短積分時間から最長積分時間の1/mの範囲の中で設定すればよい。

【0033】以上述べたように、増幅用n型MOSトランジスタの出力をモニターすることにより、正確に被写体に適した感度に設定可能である。またフォトダイオード部を、3分割あるいは4分割等とする場合は、比較する基準電圧を2つ、又は3つと追加して明るさを判断する方法と、比較する積分時刻を、2点あるいは3点と増やし、それぞれの時刻におけるコンパレータ出力により、明るさの判断をする方法が考えられる。

【0034】次に図10に示した増幅型固体撮像素子を用いた固体撮像装置に本発明を適用した実施例について説明する。図7はこの実施例の回路構成図を示し、図5に示した実施例及び図10に示した撮像素子と同一又は対応する部材には同一符号を付して示している。この実施例における増幅型固体撮像素子においては、蓄積電荷が大きいほど出力電圧は小さくなるため、各画素の出力電圧を検出するためのモニター用の素子はp型MOSトランジスタ31'に変更している。また、これに伴いソースラ



イン32の負荷をp型MOSトランジスタ33'による能動負荷としている。

【0035】次に、この実施例の動作を図8に示すタイミングチャートを参照しながら説明する。この撮像素子の場合、フォトダイオード部1で発生する電荷がトランジスタQ5を介して蓄積容量素子C_tに蓄積されるように、駆動信号DATAの“H”レベルは、トランジスタQ5が飽和領域で動作するように、リセット電圧V_R以下に設定する。これによりフォトダイオード部での発生電荷自体がQ5のバイアス電流となる。したがって感度切り換え制御パルスφ_{gc}によるスイッチング素子1e'のON/OFFの切り換えにより、バイアス電流が変化すると、これに伴いトランジスタQ5のゲート・ソース間電圧V_{gs}が変わり、フォトダイオード部1への印加電圧が変化する。

【0036】したがって、感度切り換えを行うたびに、リセット動作が必要となる。このためタイミングチャートに示すように、第1回目の積分動作を行う場合は、期間T₀においてφ_{gc}を“H”にして高い感度設定でリセット動作を行った後に、期間T₁においてφ_{gc}を“H”のまま積分を開始する。そして一定積分時間経過後、時刻t₁でコンパレータ出力C_{OUT}が“L”ならば、そのまま積分動作を継続し、コンパレータ出力C_{OUT}が“H”の場合は、φ_{gc}を“L”として低い感度設定にした後に、再度リセットをして積分を行う(期間T₂)。

【0037】このように被写体が明るい場合は、2回積分動作を行う必要があるが、被写体が明るいときは短い積分時間で動作が完了するため、全体の動作に要する時間は、最長積分時間に達しないように設定できる。そのためには、明るさを判断する時刻t₁までの積分時間を短く設定した方がよい。また、このときの基準電圧V_{ref}に関しては、図5に示した実施例のような制約はなく、飽和レベル以下ならばどのような値でもよい。

【0038】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、明るい被写体及び暗い被写体に応じてフォトダイオードの感度切り換えが行えるため、明るい被写体に対しては感度を低くして積分時間を十分とり制御を容易にし、且つ暗い被写体に対しては感度を高くして短い積分時間での動作が実現でき、広いダイナミックレンジを容易に確保することができる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像装置の第1実施例を示す回路構成図、及びそのフォトダイオード部の断面図である。

【図2】図1に示した実施例の画素部の等価回路を示す

図である。

【図3】第2実施例のフォトダイオード部分を示す平面図及び断面図である。

【図4】第2実施例の画素部の等価回路構成を示す図である。

【図5】感度切り換え制御部を備えた第3実施例を示す回路構成図である。

【図6】図5に示した実施例の動作を説明するためのタイミングチャートである。

【図7】同じく感度切り換え制御部を備えた第4実施例を示す回路構成図である。

【図8】図7に示した実施例の動作を説明するためのタイミングチャートである。

【図9】従来の増幅型固体撮像素子の構成例を示す回路構成図である。

【図10】従来の増幅型固体撮像素子の他の構成例を示す回路構成図である。

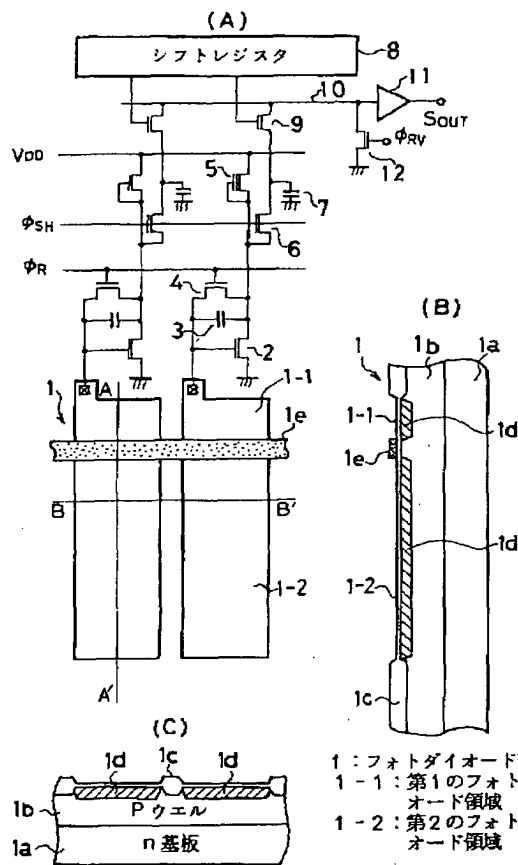
【図11】従来考えられている増幅型固体撮像素子を示す回路構成図である。

【符号の説明】

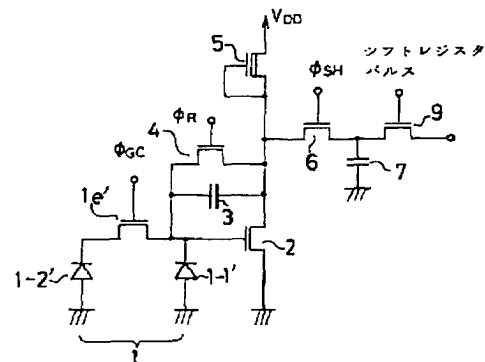
- 1, 21 フォトダイオード部
- 1-1 第1のフォトダイオード領域
- 1-2 第2のフォトダイオード領域
- 1-1' 第1の分割フォトダイオード
- 1-2' 第2の分割フォトダイオード
- 1a, 21a n基板
- 1b, 21b pウェル
- 1c, 21c LOCOS酸化膜
- 1d, 21d n⁺拡散層
- 1e, 22-1, 22-2 ポリシリコンゲート
- 2 n型MOSトランジスタ
- 3 帰還容量素子
- 4 リセット用n型MOSトランジスタ
- 5 デプレッション型n型MOSトランジスタ
- 6 スwitchング素子
- 7 容量素子
- 8 シフトレジスタ
- 9 読み出し用n型MOSトランジスタ
- 10 信号出力線
- 11 バッファ
- 12 信号線リセット用トランジスタ
- 31 検出用n型MOSトランジスタ
- 32 ソースライン
- 33 負荷用n型MOSトランジスタ
- 34 コンパレータ
- 35 制御系



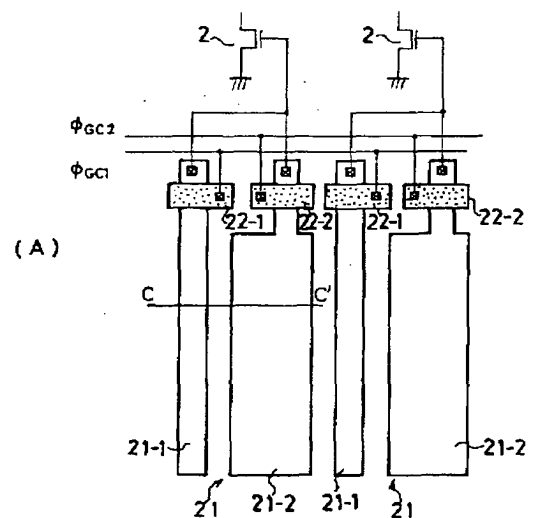
【図1】



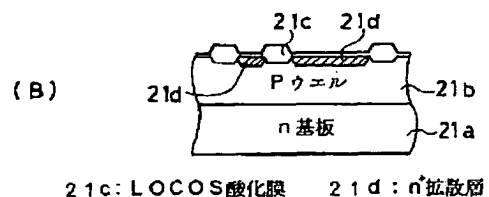
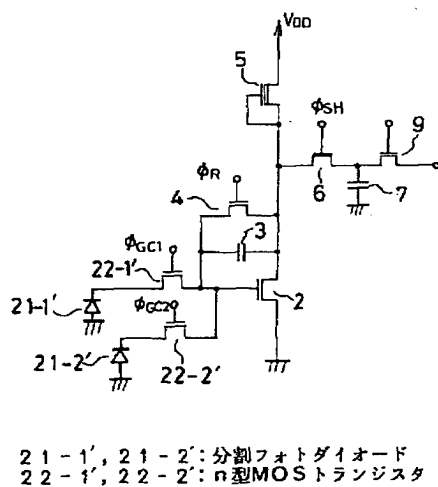
【図2】



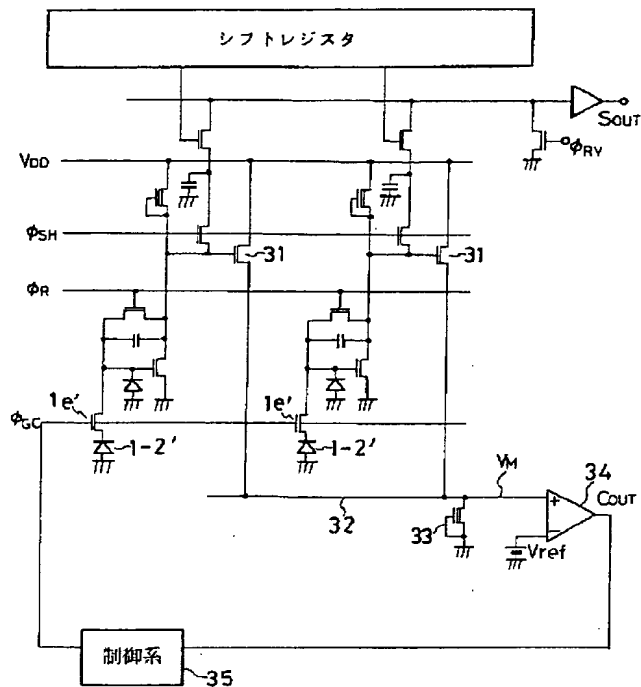
【図3】



【図4】

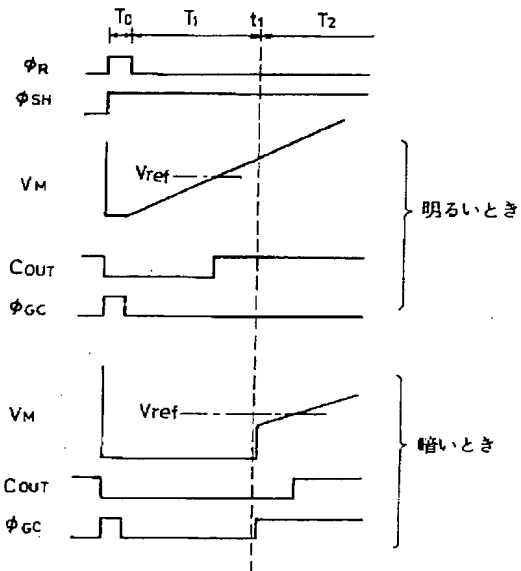


【図5】

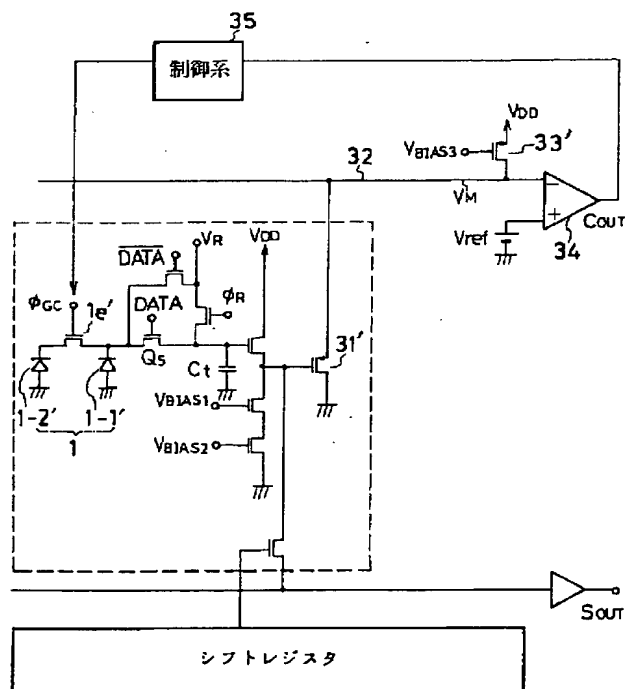


31 : 検出用n型MOSトランジスタ
32 : ソースライン
34 : コンパレータ

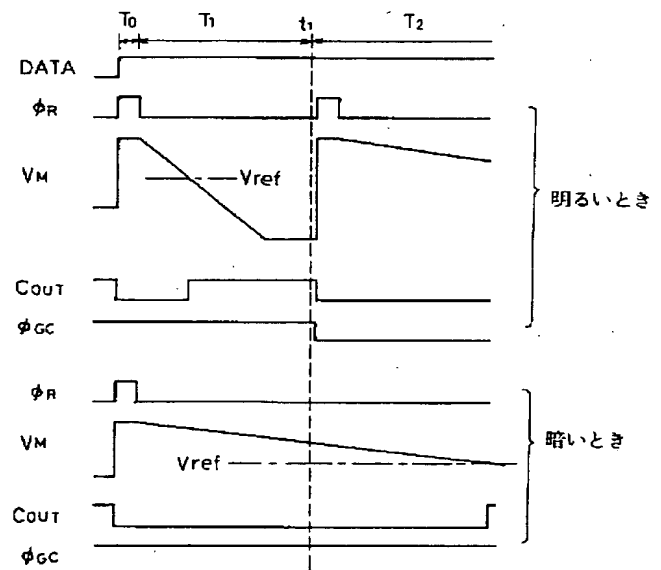
【図6】



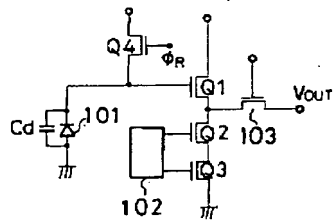
【図7】



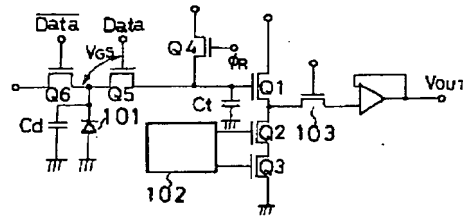
【図8】



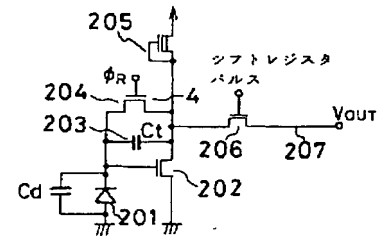
【図9】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 31/10